

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-75972

(P2002-75972A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) IntCl⁷

識別記号

F I

テマコード(参考)

H 0 1 L 21/3065

H 0 1 L 21/302

F 5 F 0 0 4

29/78

29/78

3 0 1 G 5 F 0 4 0

29/786

3 0 1 F 5 F 1 1 0

21/336

6 1 7 T

6 2 7 C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-267101(P2000-267101)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年9月4日(2000.9.4)

(72) 発明者 荒井 利行

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 中原 美和子

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100084032

弁理士 三品 岩男 (外1名)

最終頁に続く

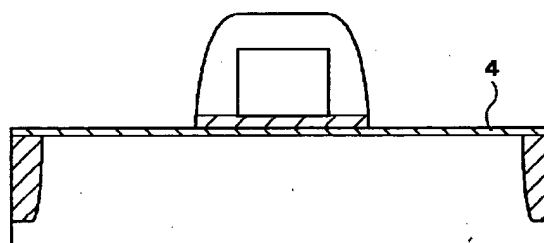
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】単結晶シリコン基板上に、SiO₂を材料とする第1のゲート絶縁膜と、高誘電率の金属酸化物からなる第2のゲート絶縁膜を形成する半導体装置において、基板にダメージを与えることなく第2のゲート絶縁膜をエッチングする方法を提供する。

【解決手段】金属酸化物からなる第2のゲート絶縁膜5の表面にイオンシースを形成することなく、塩素原子供与性ガスと接触させて反応させることにより、シリコン基板1にダメージを与えずにエッチング処理を行う。

図9



【特許請求の範囲】

【請求項1】基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置の製造方法であって、前記金属酸化膜に塩素を含むガスを接触させることで、該金属酸化膜をエッチング処理することを特徴とする半導体装置の製造方法。

【請求項2】請求項1記載の金属酸化膜は、チタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、アルミナ酸化物およびタンタル酸化物うちのいずれか、あるいは、これら複数の酸化物のうちに複数の混合物から構成されたものであることを特徴とする半導体装置の製造方法。

【請求項3】請求項1記載の前記絶縁膜は、前記基板上に形成されるもので、該基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記金属酸化膜からなる第2の絶縁膜とから構成されることを特徴とする半導体装置の製造方法。

【請求項4】請求項1記載の前記塩素を含むガスは、塩素原子の供与が可能なガスを含むことを特徴とする半導体装置の製造方法。

【請求項5】請求項1記載の前記塩素を含むガスは、イオン化された原子及び分子を含まないことを特徴とする半導体装置の製造方法。

【請求項6】請求項1記載の前記エッチング処理に際し、前記金属酸化膜の表面にイオンシースが形成されないことを特徴とする半導体装置の製造方法。

【請求項7】高誘電率の金属酸化物をエッチングする方法であって、前記金属酸化物に塩素を含むガスを接触させることで、該金属酸化物をエッチング処理することを特徴とするエッチング方法。

【請求項8】シリコン基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置であって、前記絶縁膜は、前記シリコン基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記高誘電率の金属酸化膜からなる第2の絶縁膜とから構成され、前記シリコン基板表面のうち前記絶縁膜に隣接する領域での膜中欠陥密度が、イオンアシストエッチング処理を用いた場合よりも少ないことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高誘電率を備える金属酸化物のエッチング方法、高誘電率ゲート絶縁膜を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】集積回路の低消費電力化を目的としてゲート絶縁膜の薄膜化が進められている。SiO₂ゲート絶縁の薄膜化に伴い、ゲート電極とチャネル層との間の直接トンネルによる漏れ電流の増加、およびゲート絶縁

膜の絶縁破壊信頼性の低下が問題となってきた。

【0003】この問題を解決するためにSiO₂ゲート絶縁膜に代わる材料として高誘電率材料の適用検討が進んでいる。高誘電率材料をゲート絶縁膜に用いることにより物理的に厚い膜を用いてもSiO₂と同じ容量が得られるため、漏れ電流を抑えることができる。

【0004】この高誘電率ゲート絶縁膜材料としては、具体的にはチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、あるいはアルミナ酸化物等の熱力学的に安定な酸化物の採用が提案されている。

【0005】また、Siとこれらのゲート絶縁膜との界面を電気的にスムーズにするために、この界面にSiO₂膜を形成することで2層構造とすることも提案されている。

【0006】

【発明が解決しようとする課題】しかし、これらの高誘電率材料は熱力学的に安定している。このため、高誘電率材料となる金属酸化物に適したエッチング方法の選択が課題となっている。

【0007】このような安定な物質をエッチングする方法の1つとして、加速したイオンの運動エネルギーとプラズマ中に生成される活性種との相乗効果によりエッチングを行う反応性イオンエッチング法がある。

【0008】ところが、上記のイオンやプラズマ等を用いたエッチング方法ではイオンの運動エネルギーを用いるため、エッチングの進行により被エッチング膜が薄くなった場合、下地あるいは基板にイオンが打ち込まれる場合がある。このため、被エッチング膜の界面あるいはそれが形成されている下地や基板にダメージを与え、その後の工程に影響を及ぼす問題があった。

【0009】この問題を回避するためにはダメージを与えないエッチング方法を採用する必要がある。その代表的な方法がウェットエッチング方法である。しかし、この方法においては、上記高誘電率材料を効率的にエッチングする薬液が未だに見つかっていない。また、ウェットエッチングを行った後には乾燥工程が必須となり、ドライエッチング方法に比べ工程数が増えるという不利な点がある。

【0010】本発明は上記の点を鑑みてなされたもので、その目的は、熱力学的に安定な高誘電率材料である金属酸化物をドライプロセスによりエッチングする方法、その方法を用いて基板にダメージを与えずに所定形状に加工された高誘電率絶縁膜を備える半導体装置の製造方法及びその半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために本発明のエッチング方法では、例えばチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、あるいはアルミナ酸化物などの高誘電率の金属酸化物を塩素を含むガスに接触させることにより、エッチン

グ処理を行うことを特徴とする。

【0012】また、上記目的を達成するために本発明の半導体装置の製造方法では、上記本発明のエッチング方法を用いて高誘電率の金属酸化膜を加工し、所望の形状の絶縁膜を形成することを特徴とする。

【0013】また、上記目的を達成するために本発明では、シリコン基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置において、前記絶縁膜が、前記シリコン基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記高誘電率の金属酸化膜からなる第2の絶縁膜とから構成され、前記シリコン基板表面のうち前記絶縁膜に隣接する領域では、該絶縁膜のエッチング処理に用いた元素が該シリコン基板表面を衝撃することで生じ得る欠陥が無いあるいは非常に少ないことを特徴とする。

【0014】

【発明の実施の形態】本発明では、熱力学的に安定な高誘電率材料の金属酸化物を塩素原子を利用して加工することで、該金属酸化物の下地や基板表面に大きなダメージを与えることなく、半導体装置の絶縁膜を形成するものである。

【0015】（塩素原子の選択理由）金属酸化物をドライプロセスでエッチング除去するためには次の二つの項目を満足する必要がある。

【0016】①金属酸化物とエッチングガスとの反応が進むこと。

【0017】②エッチング反応生成物の蒸気圧が高いこと。

【0018】まず、Ti、Zr、およびHfの化合物の蒸気圧を調査した。その結果、ハロゲン化物の蒸気圧が高いことが判明した。Ti、Zr、およびHfのハロゲン化物の蒸気圧の温度依存性を図1、図2および図3に示す。これらの図から蒸気圧の高いハロゲン化物は塩化物および臭化物であることが分かる。なお、Tiのハロゲン化物は室温においても0.1 Torr以上の蒸気圧を示している。ZrおよびHfのハロゲン化物は100°Cにおいて約1 mTorrの蒸気圧を示し、300°Cで760 Torr近い圧力を示している。しかし、Ti、ZrおよびHfのハロゲン化物の内、フッ化物の蒸気圧は他のハロゲン化物に比べ著しく低いことから、F系ガスをを用いたドライエッチング方法ではエッチングできないことがわかる。

【0019】次に、TiO₂あるいはZrO₂と各ハロゲン原子との反応の進み易さを比較した。反応の進み易さは各金属酸化物と塩素原子、および反応生成物のそれぞれについてギブスの自由エネルギーを計算し、反応後の系のギブス自由エネルギーから反応前の系のギブス自由エネルギーを差し引いた値(ΔG)を指標にすることができる。このΔGと反応平衡定数(K)は次式の関係にある。

【0020】 $K \propto \exp(-\Delta G/RT)$

ただし、Rは気体定数、Tは反応時の系の温度である。この式からΔGが0あるいは+の値であれば反応はほとんど進まず、逆にΔGが-であれば値が大きいほど反応が進む傾向にあることが分かる。各反応におけるΔGの温度依存性を計算した結果を図4に示す。臭化物を生成する反応のΔGは何れも0または正の値となり、反応が進まないことが分かる。これに対し塩化物を生成する反応は何れもΔGが負の値となり、反応が進むことが分かる。したがって、塩素原子を用いることにより各金属酸化物のエッチングが可能となる。

【0021】(SiO₂との選択性)一方、塩素原子とSiO₂からSiの塩化物が生成されるΔGも-の値であり、金属酸化物と同様にエッチング反応が進む可能性がある。しかし、その反応速度は反応の律速段階で決まる。反応の律速段階が金属あるいはSiとOとの結合を切る過程にある場合、反応速度は金属あるいはSiとOとの結合強度に依存することになる。結合強度を調べた結果、Si-Oが806 kJ/molであるのに対し、Ti-Oが659 kJ/mol、Zr-Oが634 kJ/molである。よって、SiO₂に比べてTiO₂あるいはZrO₂の方が、塩素原子による反応速度が大きい。

【0022】（ダメージを与えない方法）塩素原子を得るためには次の二つの方法がある。

【0023】(1) 塩素を含むガスを熱により分解する方法。

【0024】(2) 塩素を含むガスをプラズマにより分解する方法。

【0025】上記(1)の熱エネルギーを用いて塩素原子を得る方法では、イオンが発生しないため、被エッチング処理物の下地へのダメージは発生しない。しかし、上記(2)のプラズマを用いて塩素原子を得る方法では、プラズマと被エッチング処理物との間にイオンシースが形成される。このため、プラズマと被エッチング処理物との間に電位差が生じ、その電位差によりイオンが加速され、被エッチング処理物の下地にダメージを与える。

【0026】したがって、下地にダメージを与えないためには、例えば、エッチング処理が行われるエッチング処理室から離れた別の場所でプラズマを形成し、プラズマ化されていないニュートラルの塩素原子だけを当該エッチング処理室に供給し、被エッチング処理物と反応させるよう構成することが必要である。

【0027】すなわち本発明では、塩素原子供与性ガスを含むガスに接触させることにより、エッチング処理された高誘電率材料からなる絶縁膜をシリコン基板上に備える半導体装置を製造するものである。ここで高誘電率材料としては、例えばチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、アルミナ酸化

物、あるいは、これらの混合物がある。また、塩素原子供与性ガスとしては、塩素原子及びフッ化塩素から選ばれる少なくとも一種類のガスを含むものが好ましい。

【0028】また、本発明では、エッチング処理において基板に与えるダメージを低減あるいは無くすために、上記塩素原子供与性ガスに含まれるプラズマまたはイオンの量をできるだけ少なくする手段、被エッチング膜の表面にイオンシースが形成されないようにする手段、及び上記塩素原子供与性ガスに含まれるラジカル塩素原子の量をできるだけ多くする手段のうち少なくとも1つの手段を含むことが好ましい。

【0029】

【実施例】本実施例では、本発明のエッチング処理を用いてゲート絶縁膜を形成した、MOS型FETの製造プロセスを、図5～図10を参照して説明する。

【0030】Si基板1の表面に素子分離のための溝2を形成し、 O_3 とTEOS ($Si(OC_2H_5)_4$)を原料ガスとした熱CVD法により SiO_2 膜3を埋め込み、CMPを用いて平坦化する(図5)。

【0031】次に、Si基板1の表面に第1のゲート絶縁膜である約2nmの厚さの SiO_2 膜4を熱処理により形成し、その上に第2のゲート絶縁膜である約20nmの厚さの TiO_2 膜5をCVD法により成膜し、その上にゲート電極形成のためのポリSi6をCVD法により成膜する(図6)。

【0032】その上にレジストを塗布し、ゲート電極形成部分6aのみレジストを残し、それ以外の領域のレジストを露光および現像により除去し、このレジストをマスクとしてポリSiをF系のガスで異方性エッチングを行う(図7)。ここで、F系ガスを用いたのは、上述した通り、 TiO_2 膜5をエッチングせずにポリSi膜をエッチング除去するためである。

【0033】レジスト除去後、全面にTEOSを原料ガスとする熱CVD法により SiO_2 膜を成膜し、ゲート電極部のみに残したレジストをマスクとして、それ以外の領域の SiO_2 を異方性ドライエッチングによりエッチバック除去し、ゲート電極の上面および側面に SiO_2 のスペーサ層7を形成する(図8)。

【0034】この後、この SiO_2 のスペーサ層7を保護膜としてゲート電極をエッチングせずに、ソース・ドレイン領域の TiO_2 層5を本発明の塩素原子を用いたエッチング処理により除去する(図9)。

【0035】その後、ソース・ドレイン領域の薄い SiO_2 膜4をウェットエッチングで除去し、ソース・ドレイン領域にのみ選択的にシリコンをエピタキシャル成長させ、シリコンのエピタキシャル膜8が形成されたソース・ドレイン領域へのインプラを行い、アニールによりインプラしたドーパントを活性化してソース・ドレイン9を形成し、ゲート電極6a上の SiO_2 のスペーサ層7を除去することにより、FETを形成した(図1

0)。

【0036】次に、上記した TiO_2 膜5のエッチングプロセスを詳細に述べる。

【0037】図11にエッチング装置の構成の一例を示した。本例のエッチング装置において、エッチング処理室21は当該エッチング処理室内の圧力を一定に保つための排気ポンプ22、圧力調整弁23、被エッチング処理基板を加熱するサセプタ24、塩素原子を供給する塩素原子供給器25、塩素原子をエッチング処理室21に導く配管26、およびその塩素原子をサセプタ24上の基板表面に均一に供給するためのシャワープレート27から構成されている。

【0038】図12に塩素原子供給器25の構成の一例を示した。本例の塩素原子供給器25は、塩素原子を発生させるアルミナチューブ31、これに塩素ガスおよびキャリアガスとして例えばアルゴンガスを供給する塩素ガス供給器32およびアルゴンガス供給器33、2.45GHzのマイクロ波発生源34、およびマイクロ波を発生源からアルミナチューブ31に導く導波管35から構成されている。

【0039】本例の塩素原子供給器25では、塩素ガスおよびアルゴンガスをアルミナチューブ31内に流した状態で、マイクロ波発生源34から導波管35を通してマイクロ波を照射し、アルミナチューブ31内でプラズマを発生させることにより塩素原子を発生させる。発生した塩素原子はガスの流れと共に配管26を通してエッチング処理室21に供給される。

【0040】本例の塩素原子供給器25は、周知のリモートラジカル生成方法を採用したものであり、アルミナチューブ31から所定距離だけ離れたエッチング処理室21へ配管26を通してガスを導入することで、エッチング処理室21に導入される多くの塩素原子が荷電状態に無く、一部はラジカル状態にあるようにしたものである。

【0041】なお、本実施例では塩素原子の生成方法としてリモートラジカル生成方法を用いたが、本発明において塩素原子を生成する方法はこれに限定されるものではない。エッチング処理室21にイオン化されていない状態の塩素原子を導く一方、プラズマ状態あるいはイオン化された状態のガスがエッチング処理室21に侵入することを防ぎ、あるいは、被エッチング処理基板表面にイオンシースが形成されないようにすることができるものであれば、その他の方法により塩素原子を生成し、エッチング処理室21へ導入する構成としても良い。

【0042】例えば、配管26の途中に電磁場をかけてイオン化された原子分子を偏向あるいはトラップしたり、イオンを中性化するための電子を供給したりする構成としても良い。

【0043】本実施例において塩素原子を用いたエッチングは、例えば次の手順で行う。

【0044】最初、エッチング処理室21を排気ポンプ22により0.001Torr以下の圧力にする。被処理基板を搬送室(図示せず)からエッチング処理室21内のサセプタ24に搬送する。被処理基板温度を100°Cに加熱する。

【0045】次に、マイクロ波発生源34を動作させない状態で塩素原子供給器25から塩素ガスおよびキャリアガスを流し、圧力調整弁23によりエッチング処理室21内の圧力を0.05Torrに調整する。その後、マイクロ波発生源34を動作させ、一部ラジカルの状態にある中性塩素原子を含むガスをエッチング処理室21に供給し、サセプタ24上に配置されている被処理基板表面に形成されているTiO₂膜5をエッチング除去した。

【0046】なお、本実施例では被処理基板としてSi基板を想定しているが、ガラス基板や石英基板を用いるTFTの製造においても本発明を同様に適用することができる。

【0047】このようにして作成したFETのソースあるいはドレインの接合リーク電流を測定した結果を図13に示す。本実施例のエッチング処理方法によれば、TiO₂膜を従来のイオンアシストエッチング法でエッチングした場合に比べ、マイナスの電圧を加えた場合の接合リーク電流を図13に示すような値まで抑えることができた。これはシリコン基板とシリコンエピタキシャル層との界面にエッチングダメージが発生しないため、欠陥準位が形成されなかったものと考えられる。

【0048】以上説明したように、本実施例によれば、塩素原子をエッチングガスに用いることによりTiO₂膜のエッチング除去が可能となった。

【0049】また、本実施例によれば、エッチング反応がイオン衝撃等のダメージを発生させないことからソース・ドレインの接合リーク電流を抑えることができた。

【0050】また、本実施例ではチタン酸化物をゲート絶縁膜に用いたMOS型FETの製造において、塩素原子を用いてエッチングした場合を例に挙げて説明したが、本発明が適用できる金属酸化物、半導体装置、絶縁膜の種類は本実施例に限定されるものではなく、他の金属酸化物、半導体装置、絶縁膜についても、本実施例と同様にエッチング処理することができる。

【0051】

【発明の効果】以上詳述したように、本発明によれば、塩素原子をエッチングガスとして用いることにより、高誘電率材料である金属酸化物のエッチング除去が可能となり、該金属酸化物を絶縁膜として用いる半導体装置の製造が可能となる。

【0052】また、本発明によれば、エッチング処理中にイオン衝撃等のダメージが発生しないことからソース・ドレインの接合リーク電流を抑えることができ、半導体装置の信頼性、製造歩留りを向上させることができ

た。

【図面の簡単な説明】

【図1】Tiのハロゲン化物の蒸気圧曲線を示すグラフ。

【図2】Zrのハロゲン化物の蒸気圧曲線を示すグラフ。

【図3】Hfのハロゲン化物の蒸気圧曲線を示すグラフ。

【図4】各金属酸化物とハロゲン原子との反応のΔGの温度依存性を示すグラフ。

【図5】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図6】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図7】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図8】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図9】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図10】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図11】本発明の他の実施形態であるエッチング装置の構成例を示すブロック図。

【図12】本発明の他の実施形態である塩素原子供給器の構成例を示すブロック図。

【図13】従来のイオンアシストエッチング方法と本発明のエッチング方法とを用いて製造された半導体装置の接合電流を比較したグラフ。

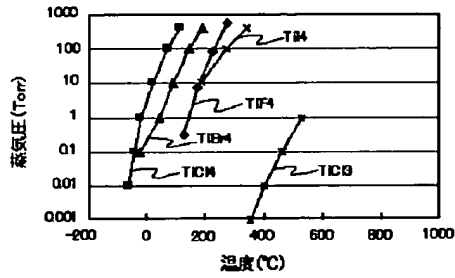
【符号の説明】

- 1…Si基板
- 2…溝
- 3…SiO₂膜
- 4…SiO₂ゲート絶縁膜
- 5…TiO₂ゲート絶縁膜
- 6…ゲート電極
- 7…SiO₂スペーサ層
- 8…シリコンエピタキシャル膜
- 9…活性化領域
- 21…エッチング処理室
- 22…排気ポンプ
- 23…圧力調整弁
- 24…サセプタ
- 25…塩素原子供給器
- 26…配管
- 27…シャワープレート
- 31…アルミナチューブ
- 32…塩素ガス供給器
- 33…アルゴンガス供給器
- 34…マイクロ波発生源

35...導波管。

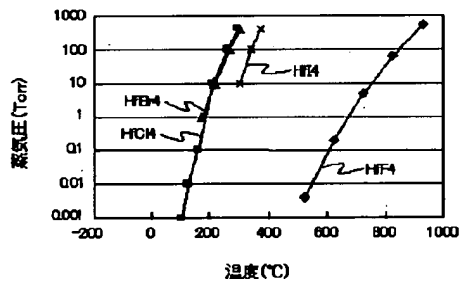
【図1】

図1



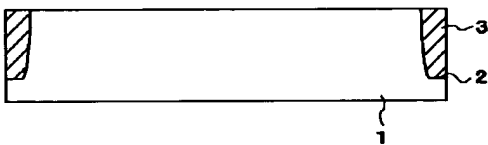
【図3】

図3



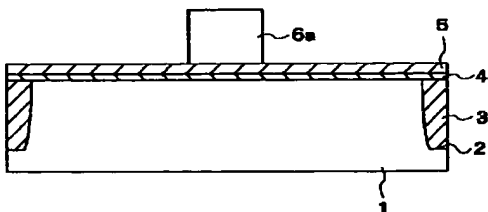
【図5】

図5



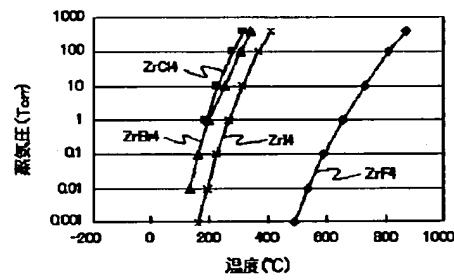
【図7】

図7



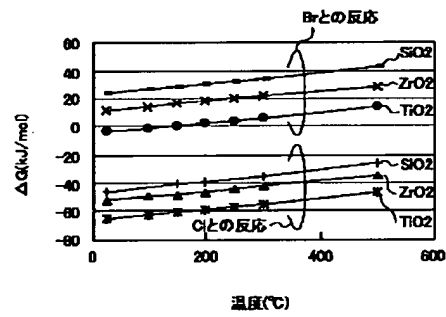
【図2】

図2



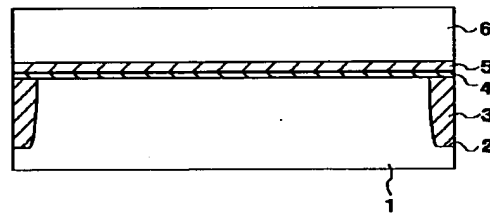
【図4】

図4



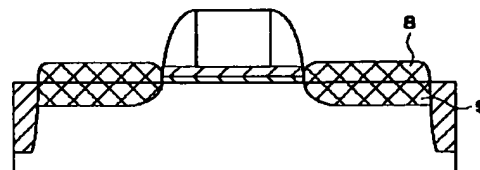
【図6】

図6



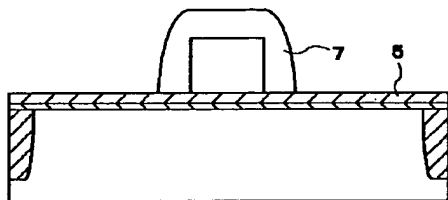
【図10】

図10



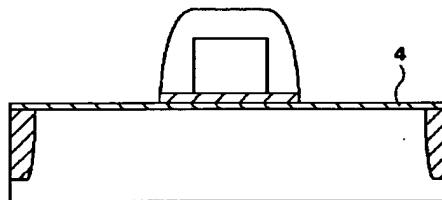
【図8】

図8



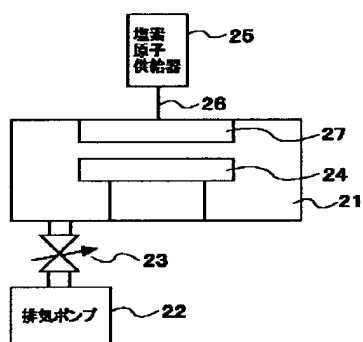
【図9】

図9



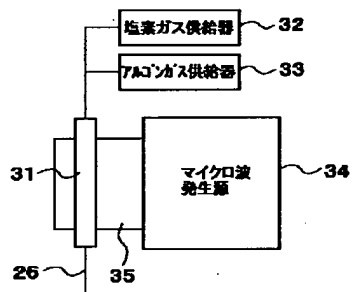
【図11】

図11



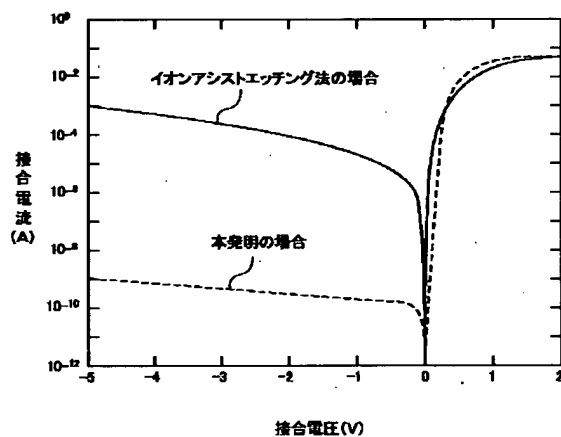
【図12】

図12



【図13】

図13



フロントページの続き

Fターム(参考) 5F004 AA06 BA03 BB14 BB28 DA00
DA04 DA23 DB00 DB13 DB14
EB02
5F040 DA20 DC01 EC07 ED01 ED03
EF01 EK05 FA05 FC06 FC21
5F110 AA06 AA14 BB03 CC02 DD02
DD03 EE09 EE32 EE45 FF01
FF02 FF09 FF23 FF29 GG02
HJ13 HJ23 HK09 HK13 HK32
HK39 HM02 NN62 NN65 QQ04
QQ11 QQ19

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-075972

(43)Date of publication of application : 15.03.2002

(51)Int.Cl. H01L 21/3065
H01L 29/78
H01L 29/786
H01L 21/336

(21)Application number : 2000-267101 (71)Applicant : HITACHI LTD

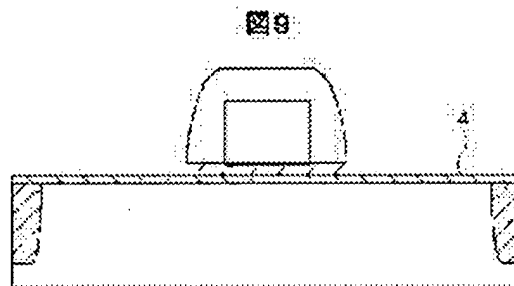
(22)Date of filing : 04.09.2000 (72)Inventor : ARAI TOSHIYUKI
NAKAHARA MIWAKO

(54) METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for fabricating a semiconductor device by forming a first gate insulation film of SiO₂ and a second gate insulation film of high dielectric constant metal oxide on a single crystal silicon substrate in which the second gate insulation film is etched without damaging the substrate.

SOLUTION: Etching is performed without damaging a silicon substrate 1 by bringing the surface of a second gate insulation film 5 of metal oxide into contact with a chloride atom imparting gas without forming an ion sheath the surface of the second gate insulation film 5 thereby causing reaction.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by carrying out etching processing of this metal oxide film by contacting the gas which is the manufacture approach of a semiconductor device equipped with the insulator layer which processed the metal oxide film of a high dielectric constant formed on the substrate, and contains chlorine in said metal oxide film.

[Claim 2] a metal oxide film according to claim 1 -- a titanate acid ghost, a zirconic acid ghost, hafnium oxide, alumina oxide, and a tantalate acid ghost -- the manufacture approach of the semiconductor device characterized by consisting of two or more mixture in the inside of inner either or the oxide of these plurality.

[Claim 3] Said insulator layer according to claim 1 is the manufacture approach of the semiconductor device characterized by consisting of the 1st insulator layer which is formed on said substrate and located in this substrate side, and the 2nd insulator layer which consists of said metal oxide film formed in this 1st insulator layer in piles.

[Claim 4] The gas containing said chlorine according to claim 1 is the manufacture approach of the semiconductor device characterized by including the gas which can supply a chlorine atom.

[Claim 5] The gas containing said chlorine according to claim 1 is the manufacture approach of the semiconductor device characterized by not including the atom and molecule which were ionized.

[Claim 6] The manufacture approach of the semiconductor device characterized by not forming an ion sheath in the front face of said metal oxide film on the occasion of said etching processing according to claim 1.

[Claim 7] The etching approach which is the approach of etching the metallic oxide of a high dielectric constant, and is characterized by carrying out etching processing of this metallic oxide by contacting the gas which contains chlorine in said metallic oxide.

[Claim 8] It is a semiconductor device equipped with the insulator layer which processed the metal oxide film of a high dielectric constant formed on the silicon substrate. Said insulator layer It consists of the 1st insulator layer located in said silicon substrate side, and the 2nd insulator layer which consists of said metal oxide film of a high dielectric constant formed in this 1st insulator layer in piles. The semiconductor device characterized by there being less defect density in the film in the field which adjoins said insulator layer among said silicon substrate surfaces than the case where ion assistant etching processing is used.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device using the etching approach and high dielectric constant gate dielectric film and its manufacture approach of a metallic oxide equipped with a high dielectric constant.

[0002]

[Description of the Prior Art] Thin film-ization of gate dielectric film is advanced for the purpose of low-power-izing of an integrated circuit. The fall of the increment in the leakage current by the direct tunnel between a gate electrode and a channel layer and the dielectric-breakdown dependability of gate dielectric film has posed a problem with thin-film-izing of a SiO₂ gate insulation.

[0003] In order to solve this problem, application examination of a high dielectric constant ingredient is progressing as an ingredient which replaces SiO₂ gate dielectric film. Since the same capacity as SiO₂ is obtained even if it uses the thick film physically by using a high dielectric constant ingredient for gate dielectric film, the leakage current can be suppressed.

[0004] As this high dielectric constant gate-dielectric-film ingredient, adoption of stable oxide is specifically proposed by thermodynamics targets, such as a titanate acid oxide, a zirconate acid oxide, hafnium oxide, a tantalate acid oxide, or alumina oxide.

[0005] Moreover, in order to make smooth electrically the interface of Si and these gate dielectric film, considering as two-layer structure by forming SiO₂ film in this interface is also proposed.

[0006]

[Problem(s) to be Solved by the Invention] However, these high dielectric constant ingredients are thermodynamically stable. For this reason, selection of the etching approach suitable for the metallic oxide used as a high dielectric constant ingredient has been a technical problem.

[0007] There is a reactive-ion-etching method which etches as one of the approaches of etching such stable matter according to the synergistic effect of the kinetic energy of the accelerated ion and the active species generated in the plasma.

[0008] However, by the etching approach using above-mentioned ion, the above-mentioned plasma, etc., since the kinetic energy of ion is used, when the etched film becomes thin by advance of etching, ion may be driven into a substrate or a substrate. For this reason, the damage was given to the substrate and substrate with which the interface of the etched film or it is formed, and there was a problem which affects a subsequent process.

[0009] In order to avoid this problem, it is necessary to adopt the etching approach of not giving a damage. The typical approach is the wet etching approach. However, in this approach, the drug solution which etches the above-mentioned quantity dielectric constant ingredient efficiently is not yet found.

Moreover, after performing wet etching, a desiccation process becomes indispensable, and there is a disadvantageous point that a routing counter increases compared with the dry etching approach.

[0010] This invention was made in view of the above-mentioned point, and the purpose is in offering the approach of etching the metallic oxide which is a stable high dielectric constant ingredient

thermodynamically according to a dry process, the manufacture approach of a semiconductor device equipped with the high dielectric constant insulator layer processed into the predetermined configuration, without giving a damage to a substrate using the approach, and its semiconductor device. [0011]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, by the etching approach of this invention, it is characterized by performing etching processing by contacting metallic oxides of a high dielectric constant, such as a titanate acid, a zirconic acid, hafnium oxide, a tantalate acid, or alumina oxide, in the gas containing chlorine, for example.

[0012] Moreover, in order to attain the above-mentioned purpose, by the manufacture approach of the semiconductor device of this invention, the etching approach of above-mentioned this invention is used, the metal oxide film of a high dielectric constant is processed, and it is characterized by forming the insulator layer of a desired configuration.

[0013] In order to attain the above-mentioned purpose moreover, in this invention In a semiconductor device equipped with the insulator layer which processed the metal oxide film of a high dielectric constant formed on the silicon substrate Said insulator layer consists of the 1st insulator layer located in said silicon substrate side, and the 2nd insulator layer which consists of said metal oxide film of a high dielectric constant formed in this 1st insulator layer in piles. In the field which adjoins said insulator layer among said silicon substrate surfaces, or there is no defect which may be produced because the element used for etching processing of this insulator layer carries out the impact of this silicon substrate surface, it is characterized by being few in an emergency.

[0014]

[Embodiment of the Invention] The insulator layer of a semiconductor device is formed in this invention, without giving a serious damage to the substrate and substrate front face of this metallic oxide by processing the metallic oxide of a stable high dielectric constant ingredient thermodynamically using a chlorine atom.

[0015] (Reason for selection of a chlorine atom) In order to carry out etching removal of the metallic oxide by the dry process, it is necessary to satisfy the following two items.

[0016] ** The reaction of a metallic oxide and etching gas should move on.

[0017] ** The vapor pressure of an etching resultant is high.

[0018] First, the vapor pressure of the compound of Ti, Zr, and Hf was investigated. Consequently, it became clear that the vapor pressure of a halogenide is high. The temperature dependence of the vapor pressure of the halogenide of Ti, Zr, and Hf is shown in drawing 1, drawing 2, and drawing 3. These drawings show that the halogenides with high vapor pressure are a chloride and a bromide. In addition, the halogenide of Ti shows the vapor pressure of 0.1 or more Torrs also in the room temperature. The halogenide of Zr and Hf shows the vapor pressure of about 1 mTorr in 100-degreeC, and shows the near pressure 760 Torrs by 300-degreeC. However, among the halogenides of Ti, Zr, and Hf, since the vapor pressure of a fluoride is remarkably low compared with other halogenides, by the dry etching approach using F system gas, it turns out that it cannot etch.

[0019] Next, the ease of progressing of the reaction of TiO₂ or ZrO₂, and each halogen atom was compared. The ease of progressing of a reaction can calculate Gibb's free energy about each of each metallic oxide, a chlorine atom, and a resultant, and can make an index the value (ΔG) which deducted Gibbs free energy of the system before a reaction from Gibbs free energy of the system after a reaction. This ΔG and a reaction equilibrium constant (K) have the relation of a degree type.

[0020] $K \cdot \exp(-\Delta G/RT)$

However, R is a gas constant and T is the temperature of the system of reaction time. It turns out that a reaction will hardly progress from this formula if ΔG is the value of 0 or +, but it is in the inclination for a reaction to progress, so that a value is large, if ΔG is - conversely. The result of having calculated the temperature dependence of ΔG in each reaction is shown in drawing 4. It turns out that each ΔG of the reaction which generates a bromide becomes 0 or a forward value, and a reaction does not progress. On the other hand, as for the reaction which generates a chloride, all are known by that ΔG becomes a negative value and a reaction progresses. Therefore, etching of each metallic

oxide is attained by using a chlorine atom.

[0021] (Selectivity with SiO₂) On the other hand, ΔG by which the chloride of SiO₂ to a chlorine atom and Si is generated is also the value of ΔG , and an etching reaction may progress like a metallic oxide. However, the reaction rate is decided by the rate-determining step of a reaction. When the rate-determining step of a reaction is in the process in which association with a metal, or Si and O is cut, it will depend for a reaction rate on a metal or the bond strength of Si and O. As a result of investigating bond strength, to Si-O being 806 kJ/mol, Ti-O is 659 kJ/mol and Zr-O is 634 kJ/mol. Therefore, compared with SiO₂, the reaction rate according [the direction of TiO₂ or ZrO₂] to a chlorine atom is large.

[0022] (How not to give a damage) In order to obtain a chlorine atom, there are the following two approaches.

[0023] (1) How to decompose the gas containing chlorine with heat.

[0024] (2) How to decompose the gas containing chlorine by the plasma.

[0025] By the approach of obtaining a chlorine atom using the heat energy of the above (1), since ion is not generated, the damage to the substrate of an etched processing object is not generated. However, by the approach of obtaining a chlorine atom using the plasma of the above (2), an ion sheath is formed between the plasma and an etched processing object. For this reason, the potential difference arises between the plasma and an etched processing object, ion is accelerated according to that potential difference, and a damage is given to the substrate of an etched processing object.

[0026] Therefore, in order not to give a damage to a substrate, it is required to constitute so that the plasma is formed in somewhere else distant from the etching processing room where for example, etching processing is performed, and only the neutral chlorine atom which is not plasma-ized may be supplied to the etching processing room concerned and may be made to react with an etched processing object.

[0027] That is, in this invention, the semiconductor device equipped with the insulator layer which consists of a high dielectric constant ingredient by which etching processing was carried out on a silicon substrate is manufactured by making the gas containing chlorine atom supply nature gas contact. As a high dielectric constant ingredient, a titanate acid, a zirconic acid, hafnium oxide, a tantalate acid, alumina oxide, or such mixture exist here, for example. Moreover, what contains at least one kind of gas chosen from a chlorine atom and chlorine fluoride as chlorine atom supply nature gas is desirable.

[0028] Moreover, in order to reduce or lose the damage which gives a substrate in etching processing in this invention, it is desirable to include at least one means among the means which lessens the amount of the plasma include in the above-mentioned chlorine atom supply nature gas or ion as much as possible, a means to by which an ion sheath is made be form in the front face of the etch film, and the means which make [many / as possible] the amount of the radical chlorine atom contain in the above-mentioned chlorine atom supply nature gas.

[0029]

[Example] This example explains the manufacture process of a MOSFET which formed gate dielectric film using etching processing of this invention with reference to drawing 5 - drawing 10.

[0030] The slot 2 for isolation is formed in the front face of the Si substrate 1, SiO₂ film 3 is embedded with the heat CVD method which made material gas O₃ and TEOS (Si₄ (OC₂H₅)), and flattening is carried out using CMP (drawing 5).

[0031] Next, SiO₂ film 4 with a thickness of about 2nm which is the 1st gate dielectric film is formed in the front face of the Si substrate 1 by heat treatment, TiO₂ film 5 with a thickness of about 20nm which is the 2nd gate dielectric film is formed with a CVD method on it, and Pori Si 6 for gate electrode formation is formed with a CVD method on it (drawing 6).

[0032] A resist is applied on it, and only gate electrode formation partial 6a leaves a resist, removes the resist of the other field by exposure and development, and performs anisotropic etching for Pori Si by the gas of F system by using this resist as a mask (drawing 7). Here, F system gas was used for carrying out etching removal of the Pori Si film, without etching TiO₂ film 5 as mentioned above.

[0033] SiO₂ film is formed on the whole surface after resist removal with the heat CVD method which makes TEOS material gas, etchback removal of SiO₂ of the other field is carried out by anisotropy dry etching by using as a mask the resist which it left only to the gate polar zone, and the spacer layer 7 of SiO₂ is formed in the top face and side face of a gate electrode (drawing 8).

[0034] then, the ** which does not etch a gate electrode by using this spacer layer 7 of SiO₂ as a protective coat -- the TiO two-layer of a source drain field -- the etching processing using the chlorine atom of this invention removes 5 (drawing 9).

[0035] then, IMPURA to the source drain field in which removed SiO₂ thin film 4 of a source drain field by wet etching, only the source drain field was made to carry out epitaxial growth of the silicon alternatively, and the epitaxial film 8 of silicon was formed -- carrying out -- annealing -- in plastic -- FET was formed by activating a dopant the bottom, forming the source drain 9, and removing the spacer layer 7 of SiO₂ on gate electrode 6a (drawing 10).

[0036] Next, the etching process of the TiO₂ above-mentioned film 5 is stated to a detail.

[0037] An example of the configuration of an etching system was shown in drawing 11 . In the etching system of this example, the etching processing room 21 consists of shower plates 27 for supplying at homogeneity the piping 26 which leads the exhaust air pump 22 for keeping constant the pressure of the etching processing interior of a room concerned, a pressure regulating valve 23, the susceptor 24 that heats an etched processing substrate, the chlorine atom feeder 25 which supplies a chlorine atom, and a chlorine atom to the etching processing room 21, and its chlorine atom to the substrate front face on a susceptor 24.

[0038] An example of the configuration of the chlorine atom feeder 25 was shown in drawing 12 . The chlorine atom feeder 25 of this example is constituted from a microwave generation source 34 of the chlorine gas supply machine 32 which supplies argon gas, and 33 or 2.45GHz of argon gas supply machines, and a waveguide 35 which leads microwave to the alumina tube 31 from a generation source as chlorine gas and carrier gas by the alumina tube 31 and this which generate a chlorine atom.

[0039] With the chlorine atom feeder 25 of this example, where chlorine gas and argon gas are passed in the alumina tube 31, microwave is irradiated through a waveguide 35 from the microwave generation source 34, and a chlorine atom is generated by generating the plasma within the alumina tube 31. The generated chlorine atom is supplied to the etching processing room 21 through piping 26 with the flow of gas.

[0040] A well-known remote radical generation method is used for the chlorine atom feeder 25 of this example, many chlorine atoms introduced into the etching processing room 21 by introducing gas through piping 26 to the etching processing room 21 which only predetermined distance separated from the alumina tube 31 cannot be found in an electric charge condition, and it is made for a part to be in the condition of a radical.

[0041] In addition, although the remote radical generation method was used as a generation method of a chlorine atom in this example, the approach of generating a chlorine atom in this invention is not limited to this. If it prevents the gas in the plasma state or the condition of having been ionized trespassing upon the etching processing room 21 or can avoid forming an ion sheath in an etched processing substrate front face while leading the chlorine atom in the condition of not being ionized by the etching processing room 21, it is good also as a configuration which generates a chlorine atom by the other approaches and is introduced to the etching processing room 21.

[0042] For example, it is good also as a configuration which supplies the electron a deviation or for carrying out a trap or carbonating ion for the ionized atomic molecule to which electromagnetic field were applied in the middle of piping 26.

[0043] In this example, the following procedure performs etching using a chlorine atom.

[0044] At first, the etching processing room 21 is made into the pressure of 0.001 or less Torrs with the exhaust air pump 22. A processed substrate is conveyed from a conveyance room (not shown) to the susceptor 24 in the etching processing room 21. Processed substrate temperature is heated to 100-degreeC.

[0045] Next, a sink and a pressure regulating valve 23 adjust the pressure in the etching processing room

21 for chlorine gas and carrier gas to 0.05Torr(s) from the chlorine atom feeder 25 in the condition of not operating the microwave generation source 34. Then, the microwave generation source 34 was operated, the gas containing the neutral chlorine atom which is in the condition of a radical in part was supplied to the etching processing room 21, and etching removal of the TiO₂ film 5 currently formed in the processed substrate front face arranged on the susceptor 24 was carried out.

[0046] In addition, although Si substrate is assumed as a processed substrate in this example, in manufacture of TFT using a glass substrate or a quartz substrate, this invention is applicable similarly.

[0047] Thus, the result of having measured the source of created FET or the junction leakage current of a drain is shown in drawing 13 $R > 3$. According to the etching art of this example, compared with the case where TiO₂ film is etched by the conventional ion assistant etching method, it was able to stop to the value as shows the junction leakage current at the time of applying the electrical potential difference of minus to drawing 13. Since an etching damage does not occur in the interface of a silicon substrate and a silicon epitaxial layer, this is considered that defective level was not formed.

[0048] As explained above, according to this example, etching removal of TiO₂ film was attained by using a chlorine atom for etching gas.

[0049] Moreover, according to this example, since an etching reaction did not generate damages, such as an ion bombardment, the junction leakage current of a source drain was able to be suppressed.

[0050] Moreover, although the case where a titanate-acid was etched in manufacture of the MOSFET used for gate dielectric film using a chlorine atom was mentioned as the example and this example explained it, the class of the metallic oxide which can apply this invention, a semiconductor device, and insulator layer is not limited to this example, and etching processing can be carried out about other metallic oxides, a semiconductor device, and an insulator layer as well as this example.

[0051]

[Effect of the Invention] As explained in full detail above, according to this invention, by using a chlorine atom as etching gas, etching removal of the metallic oxide which is a high dielectric constant ingredient is attained, and manufacture of the semiconductor device using this metallic oxide as an insulator layer is attained.

[0052] Moreover, according to this invention, since damages, such as an ion bombardment, did not occur during etching processing, the junction leakage current of a source drain could be suppressed, and the dependability of a semiconductor device and the manufacture yield were able to be raised.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The graph which shows the vapor pressure curve of the halogenide of Ti.

[Drawing 2] The graph which shows the vapor pressure curve of the halogenide of Zr.

[Drawing 3] The graph which shows the vapor pressure curve of the halogenide of Hf.

[Drawing 4] The graph which shows the temperature dependence of ΔG of the reaction of each metallic oxide and a halogen atom.

[Drawing 5] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 6] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 7] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 8] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 9] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 10] The important section sectional view showing one process of the manufacture approach of FET which is 1 operation gestalt of this invention.

[Drawing 11] The block diagram showing the example of a configuration of the etching system which are other operation gestalten of this invention.

[Drawing 12] The block diagram showing the example of a configuration of the chlorine atom feeder which are other operation gestalten of this invention.

[Drawing 13] The graph which compared the junction current of the semiconductor device manufactured using the conventional ion assistant etching approach and the etching approach of this invention.

[Description of Notations]

- 1 -- Si substrate
- 2 -- Slot
- 3 -- SiO₂ film
- 4 -- SiO₂ gate dielectric film
- 5 -- TiO₂ gate dielectric film
- 6 -- Gate electrode
- 7 -- SiO₂ spacer layer
- 8 -- Silicon epitaxial film
- 9 -- Activation field
- 21 -- Etching processing room
- 22 -- Exhaust air pump
- 23 -- Pressure regulating valve

- 24 -- Susceptor
- 25 -- Chlorine atom feeder
- 26 -- Piping
- 27 -- Shower plate
- 31 -- Alumina tube
- 32 -- Chlorine gas supply machine
- 33 -- Argon gas supply machine
- 34 -- Microwave generation source
- 35 -- Waveguide.

[Translation done.]

DERWENT-ACC-NO: 2002-388372

DERWENT-WEEK: 200242

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Field effect transistor manufacturing method involves
etching metal oxide film formed on silicon substrate by
making film to contact gas containing chlorine

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 2000JP-0267101 (September 4, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 2002075972 A	March 15, 2002	N/A	008	H01L 021/3065

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2002075972A	N/A	2000JP-0267101	September 4, 2000

INT-CL (IPC): H01L021/3065, H01L021/336 , H01L029/78 , H01L029/786

ABSTRACTED-PUB-NO: JP2002075972A

BASIC-ABSTRACT:

NOVELTY - A metal oxide film consisting of titanium oxide, zirconium oxide, hafnium oxide, tantalum oxide or alumina is formed on SiO₂ gate insulating film (4) of a silicon substrate. The etching of the metal oxide film is performed by making the film to contact and react with the gas containing chlorine.

USE - For manufacturing semiconductor device such as field effect transistor.

ADVANTAGE - Prevents damage of substrate by ion bombardment during etching process. Suppresses leakage current of source-drain, thus improving reliability and yield of a semiconductor device.

DESCRIPTION OF DRAWING(S) - The figure shows a principal sectional view of FET manufacturing process.

SiO₂ gate insulating film 4

CHOSEN-DRAWING: Dwg.9/13

TITLE-TERMS: FIELD EFFECT TRANSISTOR MANUFACTURE METHOD ETCH METAL
OXIDE FILM

FORMING SILICON SUBSTRATE FILM CONTACT GAS CONTAIN CHLORINE

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-C07B; L04-C12A;

EPI-CODES: U11-C07A1; U11-C18A3; U12-B03A; U12-D02A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-109853

Non-CPI Secondary Accession Numbers: N2002-304354

PAT-NO: JP02002075972A

DOCUMENT-IDENTIFIER: JP 2002075972 A

TITLE: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

PUBN-DATE: March 15, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
ARAI, TOSHIYUKI	N/A
NAKAHARA, MIWAKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP2000267101

APPL-DATE: September 4, 2000

INT-CL (IPC): H01L021/3065, H01L029/78 , H01L029/786 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for fabricating a semiconductor device by forming a first gate insulation film of SiO₂ and a second gate insulation film of high dielectric constant metal oxide on a single crystal silicon substrate in which the second gate insulation film is etched without damaging the substrate.

SOLUTION: Etching is performed without damaging a silicon substrate 1 by bringing the surface of a second gate insulation film 5 of metal oxide into contact with a chloride atom imparting gas without forming an ion sheath the surface of the second gate insulation film 5 thereby causing reaction.

COPYRIGHT: (C)2002,JPO

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.